



(19)

(11) Publication number: 2000040672 A

Generated Document.

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 10208068

(51) Intl. Cl.: H01L 21/28 H01L 21/3205 H01L 21/768

(22) Application date: 23.07.98

(30) Priority:

(43) Date of application  
publication: 08.02.00(84) Designated  
contracting states:

(71) Applicant: NEC CORP

(72) Inventor: OSHITA YOSHIO

(74) Representative:

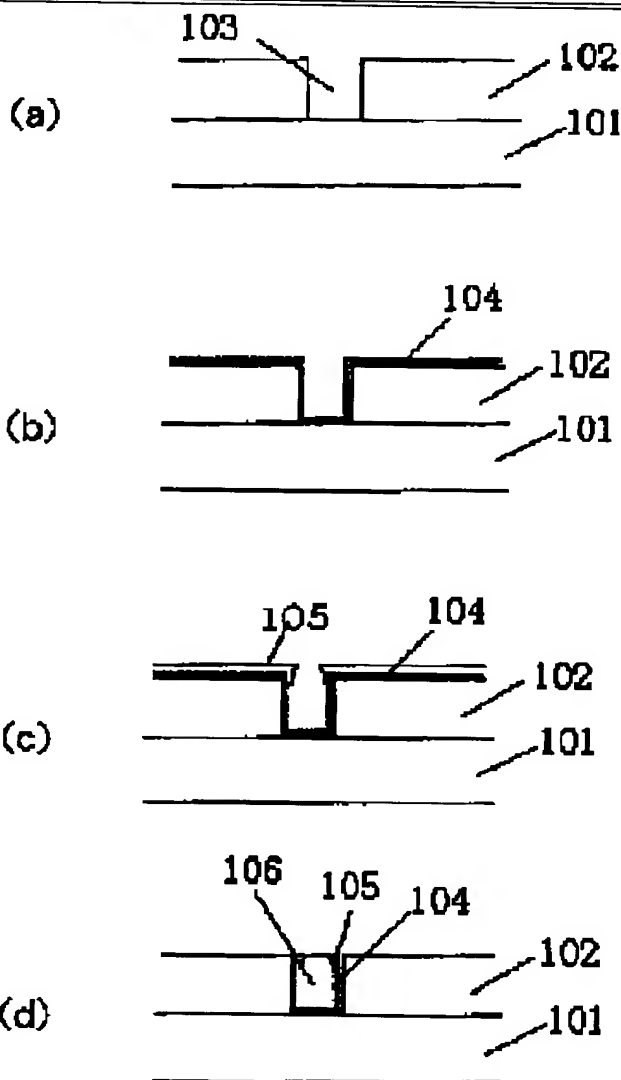
**(54) MANUFACTURE OF  
SEMICONDUCTOR DEVICE**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device of excellent characteristics, such as improved barrier property of a barrier metal layer against wiring material (Cu) and improved adhesiveness between the barrier metal layer and the copper.

**SOLUTION:** In a method for manufacturing a semiconductor device, in which copper is buried in an electrode connection hole 103 formed in an interlayer insulating layer 102 on a lower wiring 101, a tantalum thin film 105 as a barrier metal is formed on the uppermost face of the interlayer insulating film 102, and a barrier metal layer 104 (TaN thin film) with less thickness and better barrier property than that of Ta is formed on side and bottom parts of the electrode connection hole 103.

COPYRIGHT: (C)2000,JPO



(19)日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-40672

(P2000-40672A)

(43)公開日 平成12年2月8日(2000.2.8)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード*(参考)
H 0 1 L 21/28	3 0 1	H 0 1 L 21/28	3 0 1 R 4 M 1 0 4
21/3205		21/88	M 5 F 0 3 3
21/768		21/90	C

審査請求 有 請求項の数 6 O L (全 7 頁)

(21)出願番号 特願平10-208068  
 (22)出願日 平成10年7月23日(1998.7.23)

(71)出願人 000004237  
 日本電気株式会社  
 東京都港区芝五丁目7番1号  
 (72)発明者 大下 祥雄  
 東京都港区芝五丁目7番1号 日本電気株式会社社内  
 (74)代理人 100070219  
 弁理士 若林 忠 (外4名)

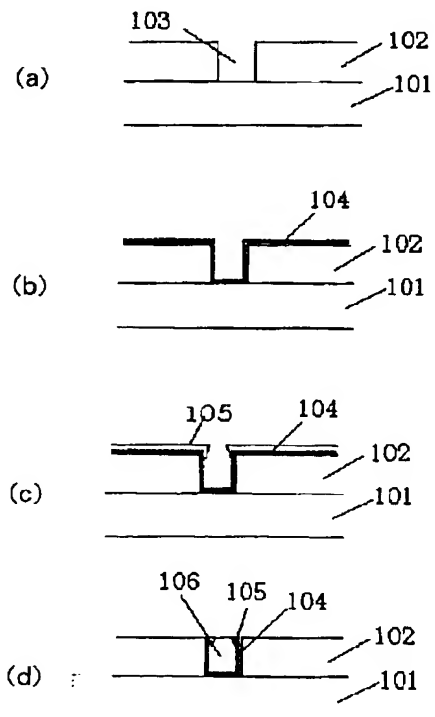
最終頁に続く

## (54)【発明の名称】 半導体装置の製造方法

## (57)【要約】

【課題】 バリアメタル層の配線材料(Cu)に対するバリア性が向上し、バリアメタル層とCuとの密着性も向上した、特性の良好な半導体装置を提供する。

【解決手段】 下部配線101上に形成された層間絶縁膜102に形成された電極接続孔103にCuを埋め込み形成された半導体装置の製造方法において、層間絶縁膜102の最表面にはTa薄膜105をバリアメタルとして形成し、且つ前記電極接続孔103の側面および底部には、Taに比べ、より薄膜でも良好なバリア性が実現されるバリアメタル層104(TaN薄膜)を設けることを特長とする半導体装置の製造方法。



## 【特許請求の範囲】

【請求項1】 半導体装置を製造する方法において、電極接続孔を有する下地絶縁膜の、該電極接続孔底部および側部に第1のバリアメタル膜を形成する工程、および前記下地絶縁膜上の第1のバリアメタル上に第2のバリアメタル膜を形成する工程、を含むことを特徴とする半導体装置の製造方法

【請求項2】 前記第1のバリアメタル膜が、高融点金属あるいは高融点金属化合物からなることを特徴とする、請求項1記載の半導体装置の製造方法

【請求項3】 前記第2のバリアメタル膜が、タンタル(Ta)であることを特徴とする、請求項1記載の半導体装置の製造方法

【請求項4】 前記高融点金属化合物が、TaN、WN、NbN、MoN、TiW、TiSi、WSiからなる群より選ばれた一種であることを特徴とする、請求の項第2記載の半導体装置の製造方法

【請求項5】 前記高融点金属および高融点金属化合物を、化学気相成長法(CVD法)により形成することを特徴とする、請求項2または1記載の半導体装置の製造方法

【請求項6】 前記第2のバリアメタルであるTa膜をスパッタ法により堆積形成することを特徴とする、請求項3記載の半導体装置の製造方法

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体装置に係わり、電極や配線におけるバリアメタル層の改良された半導体装置の製造方法に関し、特に、配線材料として銅(Cu)を使用した半導体装置の製造方法に関する。

## 【0002】

【従来の技術】 半導体装置の微細化および高集積化に伴い、電極接続孔底部において拡散層と配線材料であるCuとの間に、バリアメタル層を形成することが行われている。これは、本バリアメタル層の存在により、Cuが拡散層あるいは接合部分に拡散し半導体装置の特性を劣化させることを抑制できるためである。さらに、バリアメタル層は、層間絶縁膜とCu配線との剥がれを防止する効果が期待されている。

【0003】 現在、半導体装置の高性能化のために、半導体装置の微細化が進んでいる。半導体装置の微細化が進むと、基板に作成したトランジスタから電極を引き出すための電極接続孔の深さが深くなり、且つ孔の直径が小さくなる。すなわち、電極接続孔のアスペクト比が大きくなる。

【0004】 このようにアスペクト比が大きくなると、従来のように電極接続孔内部にスパッタ法によりCuを埋め込んで電極を形成することに困難を来すようになる。このため、狭くて深い電極接続孔においても、良好な埋め込み形状が得られるCVD法とメッキ法の検討が

進められてきた。

【0005】 しかしながら、CVD法においては、Cuの堆積速度が遅いためスルーラットが悪い等、半導体装置の量産化の上で解決すべき課題が多い。これに対し、メッキ法では、良好な埋め込み形状ならびに速いスルーラットが比較的容易に実現できることから、近年急速な勢いで半導体装置の量産が試みられている。メッキ法によるCu配線形成においては、バリアメタル層の材料としてはTaが使用されているが、これは下記の理由による。

【0006】 第1の理由は、従来から使用されているTiNは、Cuに対するバリア性が低いため、厚膜のTiNバリアメタル層が必要となるのに対し、Taでは比較的薄膜でも十分なバリア性が実現されるからである。

【0007】 TiNバリアメタル層は通常スパッタリング法あるいはCVD法により成膜される。得られるTiN膜は多結晶であり、且つ柱状構造を有している。柱状構造においては、多結晶の粒界がバリアメタル膜の表面から基板に向かって存在するため、Cuの拡散を防止したい方向に拡散が容易い。

【0008】 その結果、十分なバリア性を実現するには厚膜TiN層が必要となっている。ここで、バリアメタル層の膜厚が厚くなると問題が生じるのは、バリアメタル層部分での抵抗が高くなるため、配線全体の比抵抗が上昇し、その結果、RC遅延による半導体装置の特性の劣化を引き起こすためである。

【0009】 第2の理由、Taをバリアメタル層として使用しているのは、メッキ法との相性がよいことが挙げられる。例えば、TiNをバリアメタル層として形成した後、Cuのメッキを行うと、電極接続孔にCuが埋め込まれると同時に層間絶縁膜表面上にもCuが堆積する。

【0010】 絶縁膜上の不要なCuは、プロセスの途中で生じる剥がれの原因となる。ここで剥がれは、歩留まり低下の原因となる。一方、Taをバリアメタル層として使用すると、めっき時の層間絶縁膜表面でのCu堆積が抑制され、先の剥がれに起因する問題を回避することができる。

【0011】 一方、特開平2-114639号公報には、特定の電極配線構造を有する半導体装置に関する記載があり、該電極配線の電極材料がTiW、TiN、TiSi、WSi、MoSiまたはTi膜と、CuまたはAl膜との多層構造からなる半導体装置が開示されている。

【0012】 また、特開平6-310509号公報には、特定の配線構造を有する半導体集積回路に関する記載があり、該配線の配線材料が、Ta、WまたはTa-Wのバリア層と、Bi、Ga、Mg、Mn等のトラップ層からなる半導体集積回路の配線構造が開示されている。

【0013】 さらに、特開平6-318592号公報には、特定の配線構造を有する半導体集積回路の製造方法に関する記載があり、該配線構造体の金属バリア膜上に酸化C

10

20

30

40

50

u、硼化Cuまたは炭化Cuの配線膜を成膜して配線を形成し、該配線に金属バリア膜を被覆して熱処理し、該金属バリア膜の一部を窒化物膜、硼化物膜、または炭化物膜の化合物膜となす配線構造体の製造方法が開示されている。

【0014】しかしながら、上記の各号公報には、本発明の特定する下部配線上に形成された層間絶縁膜に形成された電極接続孔にCuを埋め込み形成された半導体装置の、層間絶縁膜の最表面にTa薄膜をバリアメタルとして形成し、且つ層間絶縁膜に形成された電極接続孔の側面および底部には、Taよりも薄膜でバリア性が良好なバリアメタル層(TaN薄膜)を設けることを特長とする半導体装置の製造方法 10 に関しては、なかなかに具体的な記載が見られない。

#### 【0015】

【発明が解決しようとする課題】しかしながら、Cuの拡散に対するバリア性の観点からは、TiNと比較するとバリア性はよいが、より微細な配線を考える上ではTaはそのバリア性が十分ではない。すなわち、将来のより微細な配線形成においては、実用上問題のない程度にCuの拡散を抑制させるに十分で、且つ微細配線 20 の特性を劣化させない程度の厚さのTa膜が要求される。

【0016】バリアメタルの厚さは、形成したCu配線の比抵抗と密接な関係がある。すなわち、配線幅は設計ルールにより規定されており、Cu配線の厚さとバリアメタル層の厚さの和が配線幅となる。言い換えると、例えば、配線幅が0.15ミクロン( $\mu\text{m}$ )の配線において、バリアメタル幅が仮に15nm必要であるとするならば、配線幅の20%が比抵抗の高いバリアメタルとなり、総配線抵抗が上昇する問題が生じる。

【0017】以上の結果、バリアメタルとしては、できるだけ薄膜で良好なバリア性を有していることが要求されるのに対し、Taをバリアメタルとして使用すると、Cuのメッキ工程においては優位性があるが、配線が微細になるに従い配線抵抗が高くなり、RC遅延が大きくなって半導体装置の特性が劣化する問題が生じる。さらに、TaとCuは密着性が悪いため、Cu配線を形成するためのCMP工程において割れが生じる可能性が高い。

【0018】本発明は、上記に鑑みなされたものであって、その目的は、上記のような問題のない、Cuの拡散を抑制し、且つ配線の比抵抗の著しい上昇を防止し、良好なCu配線をメッキ法により安定して形成することのできる、半導体装置の製造方法を提供することにある。

#### 【0019】

【課題を解決するための手段】上記の課題・目的は以下に示す本発明によって解決・達成される。すなわち本発明は、半導体装置を製造する方法において、電極接続孔を有する下地絶縁膜の、該電極接続孔底部および側部に第1のバリアメタル膜を形成する工程、および前記下地 50

絶縁膜上の第1のバリアメタル上に第2のバリアメタル膜を形成する工程、を含むことを特徴とする半導体装置の製造方法を開示するものである。

【0020】そして本発明の製造方法は、前記第1のバリアメタル膜が、高融点金属あるいは高融点金属化合物からなることを特徴とする方法であり、もしくは、前記第2のバリアメタル膜が、Taであることを特徴とする方法であり、もしくは、前記高融点金属化合物が、Ta、N、WN、NbN、MoN、TiW、TiSiN、WSiNからなる群より選ばれる一種であることを特徴とする方法であり、もしくは、前記高融点金属および高融点金属化合物を、CVD法により形成することを特徴とする方法であり、もしくは、前記第2のバリアメタルであるTa膜をスパッタ法により堆積形成することを特徴とする製造方法である。

【0021】上記目的を達成するため、本発明によれば、電極接続孔を有する下地絶縁膜において、電極接続孔の底部および側面にはTaと比較してより薄膜であってもCuの拡散に対し十分なバリア性を有する第1のバリアメタル層を形成する。このとき、第1のバリアメタルがTaと比較してCuとの密着性が高い程、後工程において発生するCuとバリアメタル間の割れが抑制できる。次に、下地絶縁膜上の最表面にTaを第2のバリアメタル層として形成する。

【0022】(作用)前述の通り、Taをバリアメタル膜として使用した場合には、Cuの拡散に対する十分なバリア性の維持と、配線抵抗あるいは電極抵抗の上昇を防ぐためのバリアメタル層の薄膜化を両立させることは困難である。これは先に述べたように、将来の微細配線を形成する上では、Taのバリア性が低いことに起因する。一方、Ta以外の材料をバリアメタルとして使用すると、メッキ法によるCu堆積時に、本来は不必要である下地絶縁膜全面にCuが堆積し、余分なCuの除去や剥がれたCuによるごみの問題が生じる。

【0023】上記問題を解決するため、本発明においては、電極接続孔底部および側壁部分と下地絶縁膜表面とは異なるバリアメタルを用いる。具体的には、最初に、電極接続孔の底部および側壁部分には、Taに比べてより薄膜でも良好なバリア性を有する第1のバリアメタル膜を堆積させる。これにより絶縁膜の側面から、あるいはシリコン結晶あるいは電極抵抗を下げるために基板に形成された電極接続孔の底部から、Cuが拡散し素子特性を劣化させることが抑制される。

【0024】一方、メッキ法に対して有効であるTaを、第2のバリアメタル膜として下地絶縁膜表面に形成することにより、メッキ時に絶縁膜表面にCuが堆積することが抑制され、ごみに起因した問題が回避される。以上の結果、Cuが半導体装置に拡散することを抑制するに十分なバリア性を維持しながら、配線抵抗および電極抵抗の低いCu配線が作製可能であることを特徴とす

る、半導体装置の製造方法が提供される

#### 【0025】

【発明の実施の形態】以下、本発明の実施態様の詳細を、実施例により図面に基づいて具体的に説明するが、本発明はこれら実施例によってなから限定されるものではない。

【0026】[実施例1]本実施例に使用した半導体装置の断面の一部概要を図1(a)に示す。半導体装置は、下部配線101上の層間絶縁膜102に通常のLSI作製の工程に用いる露光工程とドライエッチングにより電極接続孔103を形成したものである。ここで、電極接続孔103の直径は $0.5\mu\text{m}$ 、深さは $1\mu\text{m}$ である。また、層間絶縁膜102は、テトラエトキシオキシシラン(TEOS)、およびオゾン( $\text{O}_3$ )を原料ガスとして用いた、常圧のCVD法により堆積させたシリコン酸化膜( $\text{SiO}_2$ )である。

【0027】まず最初に、電極接続孔103の側壁および底部、ならびに層間絶縁膜102上に、第1のバリアメタルとしてTa<sub>2</sub>N薄膜104を5nmの厚さだけCVD法により堆積させた。CVD法において使用した装置は、減圧気相成長装置である。

【0028】原料としては、Ta<sub>2</sub>Nの有機原料ガスであるシエチルアミトクタンタル(diethylamido tantalum-NEt<sub>2</sub>Ta)を使用した。ここで、堆積圧力は20mTorr、堆積温度は450℃とした。このときの堆積速度は、約1nm/minであった。本CVDプロセスの結果、電極接続孔103の底部および側壁ならびに絶縁膜102の表面に、ほぼ同等な膜厚を有するTa<sub>2</sub>N薄膜104(図1(b)参照)が形成された。

【0029】続いて、通常LSI作製に用いられているTaをターゲットとしArガスを使用したスパッタ法により、Ta<sub>2</sub>N薄膜105を50nmの厚さに堆積させた。電極接続孔の幅が狭いため、大部分のスパッタ粒子は電極接続孔の開口部付近で膜堆積し、電極接続孔内部には膜がほとんど堆積しない。これは、スパッタ法により基板表面に飛来する粒子の方向性が比較的ランダムであり、且つスパッタ粒子の反応性が高いことに起因している。

【0030】以上の結果、電極接続孔の底部ならびに側壁には、Taに比較してCuの拡散に対するバリア性の高いTa<sub>2</sub>N薄膜104が堆積し、層間絶縁膜102の最表面上にはTa<sub>2</sub>N薄膜105が堆積した構造(図1(c)参照)が形成された。続いてCuのメッキ法により電極接続孔内部にCu(図1(d)参照)を堆積させた。

【0031】ここで使用したCuのメッキ法は、当業者が通常使用している方法であり、添加剤を含む硫化銅( $\text{CuSO}_4$ ・液内で、電極をプラス極、基板をマイナス極に接続してCuのメッキを行う方法)によった。最後に、CMP法により余分なCuおよびバリアメタル膜を除去することによりCu配線106(図1(d)参照)を形成した。

【0032】本実施例においては、第1のバリアメタル層としてTa<sub>2</sub>Nを使用したが、これに限定されるものではない。要は、Taよりも薄膜であってもCuに対して十分なバリア性を有している材料であることが重要である。すなわち、例えばWN、NbN、MoN、TiW、TiSiN、WSiN等の高融点金属化合物である。

【0033】[実施例2]本実施例に使用した基板の構造概要を図2(a)に示す。基板201に作製された半導体装置の拡散層202から電極を引き出すための電極接続孔203が絶縁膜204に形成されている。電極接続孔203の直径は $0.25\mu\text{m}$ 、深さは $1\mu\text{m}$ である。絶縁膜204は、シラン( $\text{SiH}_4$ )と酸素( $\text{O}_2$ )を原料ガスとして用いた減圧気相成長法により堆積させたシリコン酸化膜( $\text{SiO}_2$ )である。

【0034】本電極接続孔203は、通常LSIを作製する上で使用される露光およびドライエッチング技術により作製した。電極接続孔203底部においては、Si基板201と配線との良好な電極を形成するために、チタンシリサイド層205が形成してある。

【0035】本基板上に、第1のバリアメタルとしてWN薄膜206をCVD法により堆積させた。Wの原料ガスとしてWF<sub>6</sub>を使用し、Nの原料ガスとしてNH<sub>3</sub>を使用した。また、CVDとしてはフラスコCVD装置を使用して膜を堆積させた。以上の結果、電極接続孔203の底部におけるチタンシリサイド層205の上と層間絶縁膜204の側壁部分と表面に、WN薄膜206(図2(b)参照)がほぼ同じ膜厚5nmで堆積した。

【0036】続いて、実施例1と同様に、通常LSI作製に用いられているTaをターゲットとしたスパッタ法により、第2のバリアメタルとしてTa<sub>2</sub>N薄膜207を堆積させた。実施例1と同じく、電極接続孔203の幅が狭いため、大部分のスパッタ粒子は電極接続孔203の開口部付近で膜堆積し、電極接続孔203内部には膜がほとんど堆積しないため、主に表面にのみTa<sub>2</sub>N薄膜207(図2(c)参照)が堆積した。最後に、当業者が通常使用しているCuのメッキ法によりCuを堆積させ、CMP法により、余分なCuおよびバリアメタル膜を除去することによってCu配線208(図2(d)参照)を形成した。

【0037】本実施例において、WN薄膜の堆積に際し減圧CVD装置を使用したか、本発明は成膜方法を限定するものではない。常圧での気相成長法あるいはプラズマを用いた気相成長法等であってもよい。要は、電極接続孔底部および側面、ならびに絶縁膜表面に比較的均等な膜厚の第1のバリアメタル膜を堆積することが重要である。

【0038】[実施例3]本実施例に使用した基板の構造概要を図3(a)に示す。基板の構造および作製方法は、実施例1における基板と同様である。本実施例においては、その構造としてCuシード層304が存在すること

が実施例1と異なる

【0039】最初に、下部配線306上の層間絶縁膜301に形成された電極接続孔302の側壁、底部と層間絶縁膜301の表面に、第1のバリアメタル層としてTaN薄膜303を5nmの厚さだけCVD法により堆積させた。ここで、CVD法において使用した装置は、減圧CVD装置である。

【0040】原料としては、TaNの有機原料ガスであるジエチルアミドタンタル[diethylamido tantalum (NEt)<sub>2</sub>Ta]を使用した。代表的な堆積圧力は2.0mTorr、堆積温度は450℃とした。このときの堆積速度は、約1nm/minであった。本CVDプロセスの結果、電極接続孔302の底部および側壁、ならびに層間絶縁膜301の表面に、ほぼ均等な膜厚を有するTaN薄膜303(図3(b)参照)が形成された。

【0041】次に、Cuのシート層304を堆積させた。メッキ法においては、予めCuシート層を形成しておいた方が、安定にCuメッキを施すことができる。そこで、本実施例においては、スパッタ粒子の方向性が制御されたコロレートスパッタ法により電極接続孔302底部にCuシート層304(図3(c)参照)を予め堆積させた。次いで、通常のLSI作製に用いられているTa薄膜305を、実施例1と同様のスパッタ法により堆積させた。Taは電極接続孔302の開口部付近で膜堆積し、電極接続孔内部には膜がほとんど堆積しないため、層間絶縁膜301の表面に主にTa膜層305が形成される。

【0042】以上の結果、電極接続孔302の側壁には、Taに比較してCuの拡散に対するバリア性の高いTaN層303が堆積し、電極接続孔302の底部にはシート層としてのCu薄膜304が堆積し、絶縁膜の最表面にはTa薄膜305(図3(d)参照)が堆積した構造が形成された。

【0043】実施例1と同様、当業者が通常使用しているCuのメッキ法によりCuを堆積させた。最後に、絶縁膜上のTaN、Cu、TaをCMP法により除去しCu配線307(図3(e)参照)を形成した。本実施例においては、メッキのためのCuシート層304をスパッタ法により形成したが、CVD法によってシート層を形成してもよい。要はCuをメッキする際に層間絶縁膜301の最表面がTa薄膜305で覆われていることが重要である。

【0044】[実施例1]本実施例に使用した基板の構造概要を図4(a)に示す。下部配線401上の層間絶縁膜402に、下部配線401と上部配線をつなぐ電極接続孔403と上部配線に対応した溝404が形成されている。一般的には、デュアルダマシンプラと呼ばれる配線形成方法において使用される構造である。

【0045】ここで、電極接続孔の直径は0.5μm、深さは、0.5μmであり、上部配線幅は1.5μmである。また、層間絶縁膜は、テトラエトキシオキシラン

(TEOS)およびオゾンO<sub>3</sub>を原料ガスとして用いた常圧のCVD法により堆積させたシリコン酸化膜SiO<sub>2</sub>である。

【0046】最初に、電極接続孔403の側壁および底部、配線溝404の側壁および底部ならびに層間絶縁膜402上に、第1のバリアメタルとしてTaN薄膜405を5nmの厚さだけCVD法により堆積させた。CVD法において使用した装置は減圧気相成長用装置である。原料としては、TaNの有機原料ガスであるジエチルアミドタンタル[diethylamido tantalum (NEt)<sub>2</sub>Ta]を使用した。ここで、堆積圧力は2.0mTorr、堆積温度は450℃とした。

【0047】このときの堆積速度は、約1nm/minであった。本CVDプロセスの結果、電極接続孔403の底部と側壁、配線溝404の底部と側壁、および層間絶縁膜402の表面に、ほぼ均等な膜厚を有するTaN薄膜405(図4(b)参照)が形成された。続いて、通常のLSI作製に用いられているTa薄膜406を、実施例1と同様のスパッタ法により堆積させた。Taは電極接続孔403の開口部付近で膜堆積し、電極接続孔内部にはほとんど膜が堆積しないため、層間絶縁膜の表面に主にTa薄膜406(図4(c)参照)が形成される。

【0048】本実施例においては、上部配線の溝の幅が広く、且つその深さも深くない。その結果、Taのスパッタ時に、配線の側壁および底部にもTaが堆積する。しかし、Cu拡散に対するバリア性は、主に先に形成したTaN膜により実現される。このため、Taのみをバリアメタルとして使用する従来の方法と比較してTaの厚さは薄くてもよく、Cu配線の特性劣化の程度は低く抑えることができる。

【0049】実施例1と同様、当業者が通常使用しているCuのメッキ法によりCuを堆積させた。最後に、絶縁膜上の膜をCMP法により除去しCu配線407(図4(d)参照)を形成した。以上の結果、下部配線と上部配線の接続、および上部Cu配線が安定に形成された。

【0050】

【発明の効果】上記のように本発明によって、メッキ法によるCu配線形成におけるTaの優位性を確保しながら、厚膜のTaバリアメタル層に起因する配線および電極抵抗の上昇、ならびにTaとCuの密着性の悪さに起因する割れ等を防止することのできる、特性の良好な半導体装置を安定して形成することのできる優れた製造方法が提供される。

【図面の簡単な説明】

【図1】本発明の第1の実施例を説明するための基板の模式断面図。

【図2】本発明の第2の実施例を説明するための基板の模式断面図。

【図3】本発明の第3の実施例を説明するための基板の模式断面図。

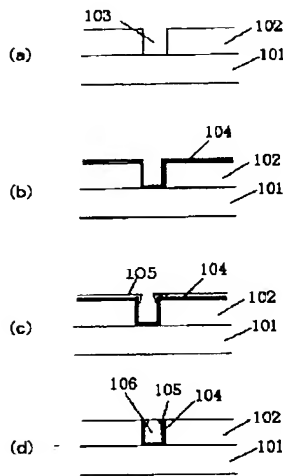
【図4】本発明の第4の実施例を説明するための基板の模式断面図

【符号の説明】

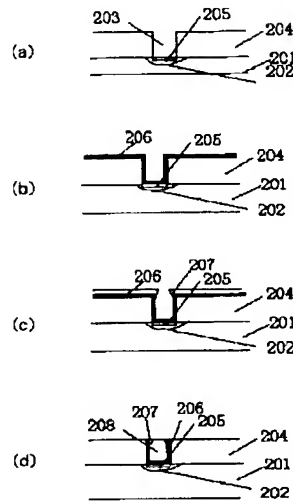
101, 306, 401 下部配線  
102, 204, 301, 402 層間絶縁膜  
103, 203, 302, 403 電極接続孔  
104, 303, 405 TaN薄膜  
105, 207, 305, 406 Ta薄膜

106, 208, 307, 407 Cu配線  
201 基板  
202 拡散層  
205 チタンシリサイド層  
206 WN薄膜  
304 Cuシード層  
404 配線溝

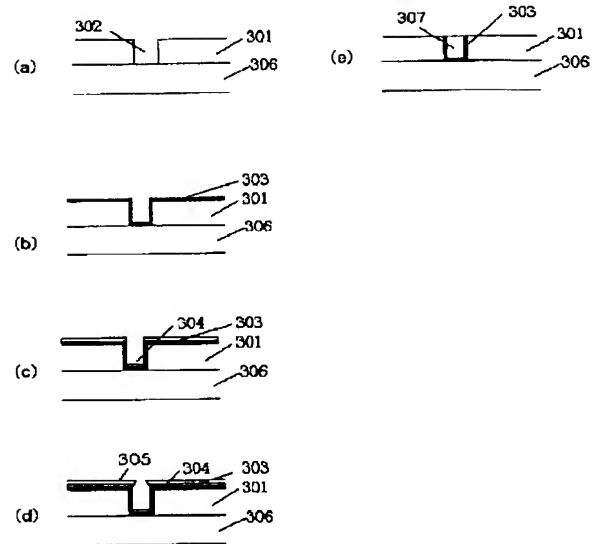
【図1】



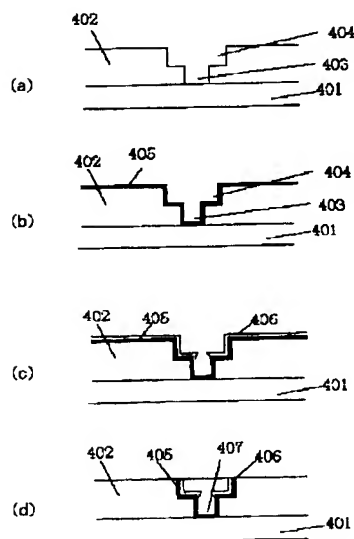
【図2】



【図3】



【図4】



フロントページの続き

ド ターム(参考) 4M104 BB04 BB14 BB17 BB18 BB29  
BB31 BB32 BB33 BB36 DD16  
DD37 DD43 DD45 DD52 FF13  
FF17 FF18 FF22 HH04 HH08  
HH16  
5F033 AA02 AA04 AA05 AA09 AA61  
BA15 BA17 BA24 BA25 BA35  
BA38 BA45 BA46 EA02 EA03  
EA25